

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-346378

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

(21)Application number : 2000-164676

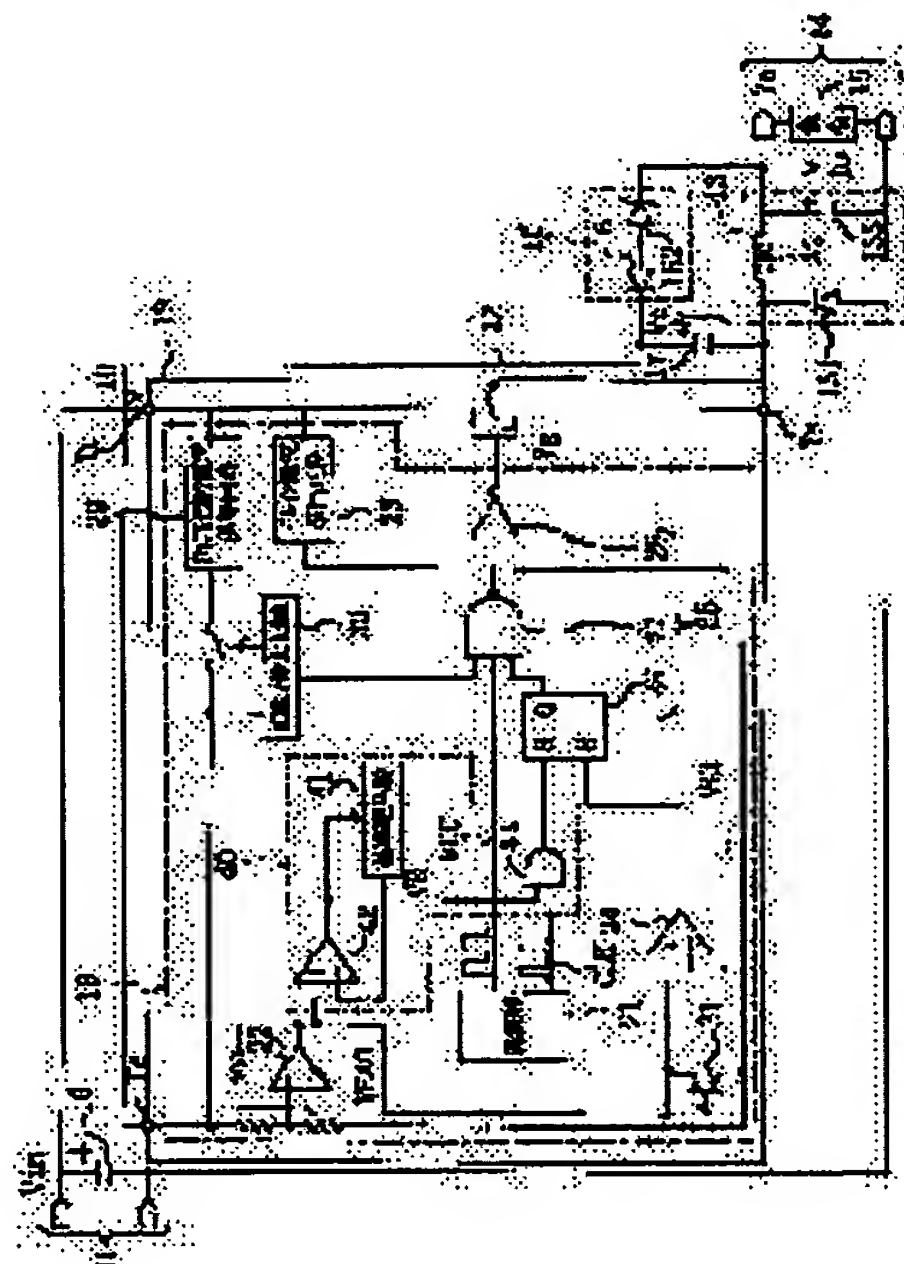
(22)Date of filing : 01.06.2000

(54) SWITCHING POWER SUPPLY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption to improve efficiency of power supply under the light load condition by reducing a switching loss under the same condition.

SOLUTION: A control circuit 18 comprises an error amplifier 22 for generating an error voltage signal VEO consisting of an error between a power supply voltage V_c and the reference voltage, a current detecting circuit 23 for outputting a detection signal VCL by detecting a drain current I_D flowing into a switching element 12 and a drain current detection comparator 24 for outputting a comparison signal by comparing the error voltage signal VEO and detection signal VCL. Moreover, the control circuit 18 comprises a light load detection circuit 40 which stops, when the error voltage signal VEO is smaller than the lower limit voltage value, an output of the switching signal for the switching element 12 for a switching signal control circuit 25 and starts, when the error voltage signal VEO is larger than the upper limit voltage value, an output of the switching signal for the sw



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(43)公開日 平成13年12月14日(2001.12.14)

X

井理士 前田 弘 (外7名)

[illegible]

(2)

【特許請求の範囲】

【請求項1】 第1の直流電圧を受けるスイッチング手段と、
前記スイッチング手段からの出力信号を受け、前記第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する電圧変換手段と、
前記スイッチング手段の動作を制御する制御手段と、
前記第2の直流電圧の電圧値を検出し、検出した検出信号を前記制御手段に帰還する出力電圧検出手段と、
一方の電極が前記出力電圧検出手段の出力側に接続され、他方の電極が前記スイッチング手段の出力側に接続され、前記制御手段の電源電圧を生成する電源電圧生成手段とを備え、
前記制御手段は、
前記スイッチング手段に印加するスイッチング信号を生成して出力する発振部と、
前記制御手段の電源電圧の値が上限値よりも大きい場合には前記発振部に対して前記スイッチング信号の出力を停止し、前記電源電圧の値が下限値よりも小さい場合には前記発振部に対して前記スイッチング信号の出力を開始する軽負荷検出部とを有していることを特徴とするスイッチング電源装置。

【請求項2】 入力端子に第1の直流電圧を受けるスイッチング素子と、
前記スイッチング素子からの出力信号を受け、前記第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する電圧変換回路と、
前記スイッチング素子の動作を制御する制御回路と、
前記第2の直流電圧の電圧値を検出し、検出した検出信号を前記制御回路に帰還する出力電圧検出回路と、
陽極が前記出力電圧検出回路の出力側に接続され、陰極が前記スイッチング素子の出力側に接続され、前記制御回路用の電源電圧を生成する制御回路用電源コンデンサとを備え、
前記制御回路は、
前記スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、
前記電源電圧と基準電圧との差からなる誤差電圧信号を生成して出力する誤差増幅器と、
前記スイッチング素子を流れる電流を検出し、検出した検出信号を出力する電流検出回路と、
前記誤差電圧信号と前記検出信号とを比較し、比較した比較信号を出力する比較器と、
前記比較信号に基づいて前記スイッチング信号の電流量及び出力を制御するスイッチング信号制御回路と、
前記誤差電圧信号が下限電圧値よりも小さい場合には前記スイッチング信号制御回路に対して前記スイッチング素子への前記スイッチング信号の出力を停止し、前記誤差電圧信号が上限電圧値よりも大きい場合には前記スイッチング信号制御回路に対して前記スイッチング信号の

出力を開始する軽負荷検出回路とを有していることを特徴とするスイッチング電源装置。

【請求項3】 前記軽負荷検出回路は、前記スイッチング信号の出力停止状態から出力状態に遷移する際に、ヒステリシス特性を有していることを特徴とする請求項2に記載のスイッチング電源装置。

【請求項4】 前記軽負荷検出回路は、前記下限電圧又は前記上限電圧の値を可変に設定する検出電圧可変手段を有していることを特徴とする請求項2に記載のスイッチング電源装置。

【請求項5】 前記制御回路の基準電位は、前記スイッチング素子の出力端子と同電位であり、
前記制御回路は、前記スイッチング信号がオフ状態の場合に、前記第2の直流電圧を検出することを特徴とする請求項2に記載のスイッチング電源装置。

【請求項6】 前記出力電圧検出回路は出力電圧設定素子とダイオードとの直列接続回路を含むことを特徴とする請求項2に記載のスイッチング電源装置。

【請求項7】 前記第2の直流電圧の極性は負極性であることを特徴とする請求項2に記載のスイッチング電源装置。

【請求項8】 前記第1の直流電圧の値はほぼ100V以上であり、前記第2の直流電圧の値はほぼ25V以下であることを特徴とする請求項2に記載のスイッチング電源装置。

【請求項9】 前記スイッチング素子及び前記制御回路は、
前記スイッチング素子の入力端子及び出力端子、並びに前記制御回路における前記制御回路用電源コンデンサの陽極側の入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることを特徴とする請求項2～8のうちのいずれか1項に記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源装置に関し、特に、軽負荷時の消費電力を削減できる降圧型チョッパ方式のスイッチング電源装置に関する。

【0002】

【従来の技術】図6は特開平10-191625号公報に記載されている従来のスイッチング電源装置の回路構成を示している。図6に示す従来のスイッチング電源装置は、主入力端子101に印加される正極性の直流電圧をN型MOSFETからなるスイッチング素子102及び電圧変換回路103により所定の電圧値にまで降下して主出力端子104に出力する降圧型チョッパ方式のスイッチング電源装置である。

【0003】スイッチング電源装置は、スイッチング素子102のソースと出力電圧検出回路105の出力側との間に並列に接続された制御回路用電源コンデンサ10

(3)

6により生成される電源電圧 V_c によって駆動される制御回路107を有しており、スイッチング素子102は制御回路107から出力される制御信号 V_g により制御される。また、電源電圧 V_c は出力電圧検出回路105から出力される制御電流 I_c によって変動する。

【0004】以下、前記のように構成されたスイッチング電源装置の動作の概略を説明する。図7は図6に示すスイッチング電源装置の各部における電流電圧波形を示している。

【0005】まず、制御回路107が起動するまでの間は、電源切替ブロック108は起動用電源ブロック109と制御回路用電源コンデンサ106とを接続するように閉じている。

【0006】次に、主入力端子101に入力電圧 V_{in} が印加されると、起動用電源ブロック109から電源切替ブロック108を介して制御回路用電源コンデンサ106に電流が流れ、制御回路107の電源電圧 V_c が上昇する。この電源電圧 V_c の値が制御回路107の起動電圧値以上になると、制御回路107が動作する。このとき、主出力端子104に印加される出力電圧 V_o は0Vである。

【0007】制御回路107が動作を開始すると、制御回路107を構成する三角波生成回路110により生成された三角波キャリア信号電圧と、制御回路107の電源電圧 V_c を抵抗分割した電圧とが比較器111によって比較される。

【0008】比較器111から出力される比較信号がPWM（パルス幅変調）パルス生成回路112に入力され、その結果、図7に示す制御信号 V_g がスイッチング素子102の制御端子に印加される。この制御信号 V_g は所定の時間幅でオンになり、該時間幅は電源電圧 V_c によって可変となる。制御信号 V_g がオンの間にスイッチング素子102がオン状態となり、スイッチング素子102を流れるドレイン電流 I_p が電圧変換回路103のコイルに流れ込む。

【0009】次に、スイッチング素子102が制御回路107の制御信号 V_g によってオフ状態に移移すると、電圧変換回路103のダイオードを通して、コイルに蓄えられた電気エネルギーが主出力端子104に供給される。ここで、主出力端子104の出力電圧が上昇して、制御回路107の電源電圧 V_c 、電圧変換回路103のダイオードの順方向電圧 V_f 、出力電圧検出回路105のダイオードの順方向電圧 V_f 及び出力電圧検出回路105のツェナーダイオードの降伏電圧 V_z の各電圧値の合計（ $V_c + V_f - V_f + V_z = V_c + V_z$ ）よりも大きくなると、スイッチング素子102がオフ状態の間に、主出力端子104のハイレベル側の端子から出力電圧検出回路105のダイオード及びツェナーダイオードを通して制御回路用電源コンデンサ106に制御電流 I_c が流れ込み、制御回路107に出力電圧 V_o の値がフ

ィードバックされる。ここで、制御回路107の電源電圧 V_c が十分に高くなると、電源切替ブロック108により、主出力端子104から制御回路107に電源電圧 V_c が供給されるように切り替えられる。

【0010】次に、三角波生成回路110により生成された三角波キャリア信号電圧と、電源電圧 V_c を抵抗分割した電圧とを比較器111で比較して、1つの三角波、すなわち1つのキャリアにおけるスイッチング素子102のオンデューティがPWMパルス生成回路112で決定され、これにより、スイッチング素子102に印加されるパルス幅が決まる。

【0011】このように、従来のスイッチング電源装置は、スイッチング素子102のデューティ比を、出力電圧 V_o をフィードバックし可変制御して、主出力端子104の電圧精度を向上させることにより、主出力端子104の出力電圧 V_o を所定値となるように制御している。

【0012】

【発明が解決しようとする課題】しかしながら、前記従来のスイッチング電源装置は、待機時等の軽負荷又は無負荷時にはスイッチング素子102に流れるドレイン電流 I_p が小さくなるものの、このドレイン電流 I_p を0にすることはできないため、軽負荷時でもある程度の電流が流れる。このため、軽負荷時であっても、スイッチング素子102にスイッチングによる損失が発生し、負荷が軽くなる程このスイッチング素子102における損失の割合が大きくなる。その結果、電源効率が低下するので、電源の待機時の省電力化を図れないという問題を有している。

【0013】本発明は、前記の問題を解決し、軽負荷時のスイッチング損失を減らして消費電力を削減し、チョップ方式スイッチング電源における軽負荷時の電源効率を向上できるようにすることを目的とする。

【0014】

【課題を解決するための手段】前記の目的を達成するため、本発明は、スイッチング電源装置を、出力電圧検出手段により検出され且つ制御手段に帰還して生成される該制御手段の電源電圧に基づいて、スイッチング手段に対するスイッチング信号の出力を停止する構成とする。

【0015】具体的に、本発明に係る第1のスイッチング電源装置は、第1の直流電圧を受けるスイッチング手段と、スイッチング手段からの出力信号を受け、第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する電圧変換手段と、スイッチング手段の動作を制御する制御手段と、第2の直流電圧の電圧値を検出し、検出した検出信号を制御手段に帰還する出力電圧検出手段と、一方の電極が出力電圧検出手段の出力側に接続され、他方の電極がスイッチング手段の出力側に接続され、制御手段の電源電圧を生成する電源電圧生成手段とを備え、制御手段は、スイッチング

(4)

5

手段に印加するスイッチング信号を生成して出力する発振部と、制御手段の電源電圧の値が上限値よりも大きい場合には発振部に対してスイッチング信号の出力を停止し、電源電圧の値が下限値よりも小さい場合には発信部に対してスイッチング信号の出力を開始する軽負荷検出部とを有している。

【0016】第1のスイッチング電源装置によると、制御手段の電源電圧の値が上限値よりも大きい場合には発振部に対してスイッチング信号の出力を停止し、制御手段の電源電圧の値が下限値よりも小さい場合には発信部に対してスイッチング信号の出力を開始する軽負荷検出部を有しているため、軽負荷時には消費される電流が減少して、装置の出力電圧である第2の直流電圧が上昇すると、該第2の直流電圧の電圧値を検出する出力電圧検出手段から制御手段に帰還する電流量が増える。これにより、制御手段の電源電圧が上昇し、制御手段の軽負荷検出部により軽負荷時にはスイッチング素子のスイッチング動作を停止して、スイッチング手段における損失が減り、軽負荷時の消費電力を削減できるので、チョップ方式のスイッチング電源装置の電源効率を向上することができる。

【0017】本発明に係る第2のスイッチング電源装置は、入力端子に第1の直流電圧を受けるスイッチング素子と、スイッチング素子からの出力信号を受け、第1の直流電圧を該第1の直流電圧の絶対値よりも小さい第2の直流電圧に変換して出力する電圧変換回路と、スイッチング素子の動作を制御する制御回路と、第2の直流電圧の電圧値を検出し、検出した検出信号を制御回路に帰還する出力電圧検出回路と、陽極が出力電圧検出回路の出力側に接続され、陰極がスイッチング素子の出力側に接続され、制御回路用の電源電圧を生成する制御回路用電源コンデンサとを備え、制御回路は、スイッチング素子に印加するスイッチング信号を生成して出力する発振器と、電源電圧と基準電圧との差からなる誤差電圧信号を生成して出力する誤差増幅器と、スイッチング素子を通る電流を検出し、検出した検出信号を出力する電流検出回路と、誤差電圧信号と検出信号とを比較し、比較した比較信号を出力する比較器と、比較信号に基づいてスイッチング信号の電流量及び出力を制御するスイッチング信号制御回路と、誤差電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止し、誤差電圧信号が上限電圧値よりも大きい場合にはスイッチング信号制御回路に対してスイッチング信号の出力を開始する軽負荷検出回路とを有している。

【0018】第2のスイッチング電源装置によると、軽負荷時には消費される電流が減少して、装置の出力電圧である第2の直流電圧が上昇すると、該第2の直流電圧の電圧値を検出する出力電圧検出回路から制御回路に帰還する電流量が増える。このとき、制御回路の電源電圧

6

が上昇して、制御回路用の電源電圧と基準電圧との差からなる誤差電圧信号を生成する誤差増幅器からの誤差電圧信号の電圧値は低下する。このとき、軽負荷検出回路は、誤差電圧信号が下限電圧値よりも小さい場合にはスイッチング信号制御回路に対してスイッチング素子へのスイッチング信号の出力を停止するため、スイッチング素子における損失が減り、軽負荷時の消費電力を削減できるので、チョップ方式のスイッチング電源装置の電源効率を向上することができる。

【0019】第2のスイッチング電源装置において、軽負荷検出回路は、スイッチング信号の出力停止状態から出力状態に移移する際にヒステリシス特性を有していることが好ましい。この場合、例えば、スイッチング素子へのスイッチング信号の出力を停止すると、第2の直流電圧の値が低下して、逆に誤差増幅器からの誤差電圧信号の電圧値が上昇する。ここで、誤差電圧信号が上限電圧値を超えると、軽負荷検出回路は、直ちにスイッチング信号制御回路に対してスイッチング信号の出力を開始してしまうため、スイッチング信号の出力停止期間がほとんど設定できなくなるが、誤差電圧信号が上限電圧値を超えるまでにヒステリシス特性を持たすことにより、スイッチング信号の出力停止期間を確実に設定することができる。

【0020】第2のスイッチング電源装置において、軽負荷検出回路が下限電圧又は上限電圧の値を可変に設定する検出電圧可変手段を有していることが好ましい。このようにすると、待機時の負荷電流値を最適化できるため、本装置を組み込むシステムの選択肢が増える。

【0021】第2のスイッチング電源装置において、制御回路の基準電位がスイッチング素子の出力端子と同電位であり、制御回路が、スイッチング信号がオフ状態の場合に第2の直流電圧を検出することが好ましい。このようにすると、高速スイッチング周波数による制御が容易となり、出力電圧である第2の直流電圧を高精度に制御できるようになる。また、制御回路の基準電位がスイッチング素子の出力端子と同電位であるため、制御回路とスイッチング素子との1チップ化をも容易に行なえるようになる。

【0022】第2のスイッチング電源装置において、出力電圧検出回路が出力電圧設定素子とダイオードとの直列接続回路を含むことが好ましい。このようにすると、例えばツェナーダイオード等からなる出力電圧設定素子を交換するだけで、第2の直流電圧値の設定又は変更が容易となるため、リニアレギュレータのように使いやすく汎用的な電源装置を実現できる。

【0023】第2のスイッチング電源装置において、第2の直流電圧の極性が負極性であることが好ましい。このようにすると、負極性の制御電圧源を必要とするシステムに対しても対応できるようになる。

【0024】第2のスイッチング電源装置において、第

(5)

7

1の直流電圧の値がほぼ100V以上であり、第2の直流電圧の値がほぼ25V以下であることが好ましい。このようにすると、入力電圧である第1の直流電圧が商用交流電源が変換されて入力される場合に、低コスト化、小型化及び高性能化がより顕著となる。

【0025】第2のスイッチング電源装置において、スイッチング素子及び制御回路が、スイッチング素子の入力端子及び出力端子、並びに制御回路における制御回路用電源コンデンサの陽極側の入力端子が外部接続端子となるように一つの半導体基板上に集積化されて形成されていることが好ましい。このようにすると、スイッチング素子及び制御回路を1チップ化できるため、部品点数を大幅に削減できると共に、スイッチング電源装置のサイズを小型化できる。

【0026】

【発明の実施の形態】本発明の一実施形態について図面を参照しながら説明する。

【0027】図1は本発明の一実施形態に係るスイッチング電源装置の概略的な回路構成を示している。図1に示すように、本実施形態に係るスイッチング電源装置は、主入力端子11に印加される正極性の第1の直流電圧である入力電圧 V_{in} を、N型パワーMOSFETからなるスイッチング素子12及び電圧変換回路13により所定の電圧値の第2の直流電圧である出力電圧 V_o にまで降下して主出力端子14に出力する降圧型チョッパ方式のスイッチング電源装置である。

【0028】主入力端子11のハイレベル側とローレベル側との間には入力電圧 V_{in} を平滑化する平滑コンデンサ10が接続されている。主出力端子14のハイレベル側とローレベル側との間には所定の負荷15が接続され、該負荷15には負荷電流 I_o が流れる。

【0029】本スイッチング電源装置は、スイッチング素子12の出力端子であるソースと、出力電圧検出回路16の出力側との間に並列に接続された制御回路用電源コンデンサ17により生成される電源電圧 V_c によって駆動される制御回路18を有しており、スイッチング素子12は、制御回路18から出力される制御信号 V_g によって制御される。すなわち、スイッチング素子12のソースと制御回路18との基準電位は同電位となるため、スイッチング素子12は電源電圧 V_c によって実質的に制御されることになる。また、この電源電圧 V_c は出力電圧検出回路16から出力される制御電流によって変動する構成である。

【0030】電圧変換回路13は、陽極が主出力端子14のローレベル側と接続され、陰極が主出力端子14のハイレベル側と接続された第1のダイオード131と、該第1のダイオード131の陰極と主出力端子14のハイレベル側との間に接続されたコイル132と、陰極が主出力端子14のローレベル側と接続され、陽極がコイル132の出力側と接続されたコンデンサ133とから

8

構成されている。

【0031】出力電圧検出回路16は、互いの陽極同士を直列に接続した第2のダイオード161と出力電圧設定素子としてのツェナーダイオード162とからなり、第2のダイオード161の陰極は制御回路用電源コンデンサ17の陽極と接続され、ツェナーダイオード162の陰極は主出力端子14のハイレベル側と接続されている。

【0032】制御回路18は、スイッチング素子12に印加する、発信周波数が100kHz程度のスイッチング信号を生成して出力する発振器21と、抵抗を介して降下させた電源電圧 V_c と基準電圧との差からなる誤差電圧信号 V_{EAO} を生成して出力する誤差増幅器22と、スイッチング素子12を流れるドレイン電流 I_D を検出し、検出した検出信号 V_{CL} を出力する電流検出回路23と、誤差電圧信号 V_{EAO} と検出信号 V_{CL} とを比較し、比較した比較信号を出力するドレイン電流検出用比較器24と、比較信号に基づいてスイッチング信号の電流量及び出力を制御するスイッチング信号制御回路25と、誤差電圧信号 V_{EAO} が下限電圧値よりも小さい場合にはスイッチング信号制御回路25に対してスイッチング素子12へのスイッチング信号の出力を停止する一方、誤差電圧信号 V_{EAO} が上限電圧値よりも大きい場合にはスイッチング信号制御回路25に対してスイッチング信号の出力を開始する軽負荷検出回路40とを有している。ここで、誤差増幅器22の逆相入力端子は、スイッチング素子12のソースとも抵抗を介して接続されている。

【0033】さらに、制御回路18は、スイッチング素子12のドレインと誤差増幅器22の逆相入力端子との間に接続され且つ制御回路18に対して起動用の電流を供給する内部回路電流供給回路29と、該内部回路電流供給回路29の出力側とスイッチを介して接続され、制御回路18の起動又は停止時にスイッチング信号制御回路25の動作を制御する起動/停止回路30を有している。

【0034】スイッチング信号制御回路25は、セット端子に軽負荷検出回路40の出力信号を受け、リセット端子にドレイン電流検出用比較器24の出力信号を受け、RSフリップフロップ回路26と、第1の入力端子に起動/停止回路30の出力信号を受け、第2の入力端子に発振器21からの最大デューティサイクル信号 MDC を受け、第3の入力端子にRSフリップフロップ回路26からの出力信号を受けるNAND回路27と、NAND回路27の出力信号を受け、受けた出力信号を反転増幅してなる制御信号 V_g を出力するインバータからなるゲートドライバ28とから構成されている。

【0035】軽負荷検出回路40は、基準電圧源41と、正相入力端子に誤差増幅器22からの誤差電圧信号 V_{EAO} を受け、逆相入力端子に基準電圧源41からの

(6)

9

基準電圧 V_R を受ける軽負荷検出用比較器42と、一の入力端子に負荷検出用比較器42の出力信号を受け、他の入力端子に発振器21からのクロック信号 CLK を受けるAND回路43とから構成されている。基準電圧源41は、軽負荷検出用比較器42の出力を受けて、基準電圧 V_R の値が変更可能となるように設定されている。

【0036】軽負荷検出用比較器42は、入力される誤差電圧信号 $VEAO$ と基準電圧 V_R とを比較して、誤差電圧信号 $VEAO$ が基準電圧 V_R よりも大きい場合に、AND回路43に対してハイレベルの信号を出力する。逆に、誤差電圧信号 $VEAO$ が基準電圧 V_R よりも小さい場合には、AND回路43に対してローレベルの信号を出力するため、RSフリップフロップ回路26の出力信号がローレベルとなるので、ゲートドライバ28からの制御信号 V_g の出力が停止する。

【0037】また、誤差増幅器22の出力側には、該誤差増幅器22から出力される誤差増幅信号 $VEAO$ が過大となった場合に、スイッチング素子12のソースへ過電流を短絡させるPNP型バイポーラトランジスタからなる過電流保護回路31が設けられている。

【0038】本実施形態に係るスイッチング電源装置は、スイッチング素子12と制御回路18とが半導体基板上にモノリシックに形成されることをも特徴としている。このときの基板上に形成される基板上形成領域を図1の符号19で表わしている。この基板上形成領域19の端部には、スイッチング素子12のドレインと接続されるドレイン端子 T_D と、スイッチング素子12のソースと接続されるソース端子 T_S と、制御回路用電源コンデンサ17の陽極と接続される制御端子 T_C との少なくとも3つの入出力端子が設けられる。

【0039】また、本スイッチング電源装置は、入力電圧 V_{in} 及び出力電圧 V_o の電圧値に制限はないが、一例として、入力電圧 V_{in} の値が100V～200Vで、出力電圧 V_o の値が25Vとすれば、この1チップ化により、スイッチング電源装置の部品点数が削減されるため、スイッチング電源装置のサイズも小さくできるので、より小型化及び低価格化を実現できる。

【0040】また、スイッチング素子にN型MOSFETを用いたが、NPN型バイポーラトランジスタを用いてもよい。

【0041】以下、前記のように構成されたスイッチング電源装置の軽負荷時における動作について図面を参照しながら説明する。

【0042】図2は本実施形態に係るスイッチング電源装置の動作タイミングを表わしている。まず、制御回路18が起動するまでの間は、起動/停止回路30は内部回路電流供給回路29と制御用回路電源コンデンサ16の陽極とを接続するように閉じている。

【0043】次に、主入力端子11に入力電圧 V_{in} が印加されると、内部回路電流供給回路29から制御用回路

10

電源コンデンサ16の陽極に電流が流れ、制御回路18の電源電圧 V_c が上昇する。この電源電圧 V_c が制御回路18の起動電圧以上になると、制御回路18が動作するので、起動/停止回路30は、内部回路電流供給回路29と制御用回路電源コンデンサ16との接続を切断する。

【0044】次に、図2に示すように、定常負荷時においては、基準電圧源41の基準電圧 V_R の値は下限電圧値 V_{R1} に設定されている。

【0045】その後、例えば、負荷電流 I_o が減少するような軽負荷となる負荷変動が生じると、負荷15に対する電力供給が過剰となって、出力電圧 V_o の電圧値は若干上昇する。この出力電圧 V_o が上昇することにより、出力電圧検出回路16から制御回路用電源コンデンサ17の陽極に電流が供給されて、制御電圧 V_c も上昇する。

【0046】制御電圧 V_c が上昇すると、制御回路18において、誤差増幅器22の逆相端子に印加される電圧が上昇するため、誤差増幅器22から出力される誤差電圧信号 $VEAO$ の電圧値が低下する。このとき、ドレイン電流検出回路23から出力される検出信号 V_{CL} の値も低下するので、本実施形態に係るスイッチング電源装置は、スイッチング信号のパルス幅が負荷電流 I_o により制御される、いわゆる電流モードのPWM制御方式といえる。

【0047】この誤差電圧信号 $VEAO$ を正相端子に受ける軽負荷検出用比較器42は、受けた誤差電圧信号 $VEAO$ の値が下限電圧値 V_{R1} よりも小さくなると、AND回路43に対してローレベルの信号を出力するため、スイッチング信号制御回路25のゲートドライバ28がローレベルの制御信号 V_g のみを出力して、スイッチング素子12のスイッチング動作が停止する。これとほぼ同時に、軽負荷検出用比較器42のローレベルの出力信号を受けて基準電圧源41の出力電圧 V_R は、下限電圧値 V_{R1} から上限電圧値 V_{R2} に変更される。

【0048】待機時のように軽負荷又は無負荷状態となると、電圧変換回路132に対して電力の供給が行われなくなるため、負荷15への電力供給がコンデンサ133からのみ行なわれるようになるので、出力電圧 V_o は徐々に低下する。これにより、誤差増幅器22からの誤差電圧信号 $VEAO$ が徐々に上昇するが、基準電圧源41の出力電圧 V_R は、下限電圧 V_{R1} よりも高い上限電圧 V_{R2} に設定されているため、図3に示すように、スイッチング素子12によるスイッチング動作が直ちに再開されることはない。

【0049】さらに、出力電圧 V_o が低下することにより、逆に誤差電圧信号 $VEAO$ が上限電圧値 V_{R2} を越え、軽負荷検出用比較器42からの出力信号が再びハイレベルとなるため、これを受けるAND回路43はハイレベルの出力信号を出力できるようになるので、ス

(7)

11

スイッチング素子12のスイッチング動作が再開される。これとほぼ同時に、軽負荷検出用比較器42のハイレベルの出力信号を受けて基準電圧源41の出力電圧VRは、上限電圧値VR2から下限電圧値VR1に再設定される。

【0050】次に、待機時において、スイッチング素子12によるスイッチング動作が再開されると、スイッチング素子12に流れるドレイン電流IDは、軽負荷検出時の電流値よりも大きくなっているため、負荷15への電力供給が過剰となって、再び出力電圧Voが上昇し、誤差増幅器22からの誤差電圧信号VEAOが低下する。ここで、誤差電圧信号VEAOが下限電圧値VR1よりも小さくなると、スイッチング素子12に対するスイッチング信号の出力を再度停止する。

【0051】本実施形態においては、基準電圧源41から出力される基準電圧VRが、軽負荷を検出することによって、スイッチング動作を停止し、さらに、基準電圧VRを下限電圧値VR1から上限電圧値VR2へと変更することにより、誤差電圧信号VEAOが上昇しても、直ちにスイッチング動作が開始されることがないように基準電圧VRにヒステリシス特性を与えている。これにより、軽負荷又は無負荷を検出している間は、スイッチング素子12に対するスイッチング制御は、スイッチング動作の停止と再開とが繰り返される間欠発振状態となる。

【0052】なお、出力電圧Voは、間欠発振状態のスイッチング停止期間中に低下するが、この低下の度合いは負荷電流Ioに依存する。すなわち、負荷電流Ioが小さくなる程、出力電圧Voの低下が緩やかになる。

【0053】また、間欠発振状態におけるスイッチング停止期間は、負荷電流Ioが小さくなる程長くなる。すなわち、軽負荷になる程スイッチング素子12のスイッチング動作が減少することになる。

【0054】これにより、出力電力が1Wのスイッチング電源装置を例に採ると、消費電力が2.2Wで且つ電源効率が45%である従来方式のスイッチング電源装置と比べて、本実施形態では、消費電力が1.2Wで且つ電源効率が83%となり、低消費電力及び高効率を実現できる。

【0055】(第1変形例)以下、本発明の一実施形態の第1変形例について図面を参照しながら説明する。

【0056】図4は本発明の一実施形態の第1変形例に係るスイッチング電源装置の概略的な回路構成を示している。図4において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0057】図4に示すように、第1の変形例に係るスイッチング電源装置は、一端が基板上形成領域19の端部に設けられた軽負荷検出電圧調整用端子TRを介して、軽負荷検出用比較器42の逆相入力端子と接続され、他端が主入力端子11のローレベル側と接続された

12

検出電圧可変手段としての軽負荷検出電圧調整用抵抗器51を有している。

【0058】このように、基板上形成領域19の外部に設けられた抵抗器51により、スイッチング素子12及び制御回路18が1チップ化されている場合であっても、軽負荷検出回路40の下限電圧値VR1又は上限電圧値VR2を電源装置の用途に応じて変更できるようになる。

【0059】(第2変形例)以下、本発明の一実施形態の第2変形例について図面を参照しながら説明する。

【0060】図5は本発明の一実施形態の第2変形例に係るスイッチング電源装置の概略的な回路構成を示している。図5において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0061】図5に示すように、第2変形例に係るスイッチング電源装置は、電圧変換回路13Aの構成が図1及び図4のスイッチング電源装置における電圧変換回路13の構成と異なっている。

【0062】すなわち、電圧変換回路13Aは、第1のダイオード131がスイッチング素子12のソースと出力端子14Aとの間で且つその陰極がソースと接続されるように直列に接続され、コイル132が第1のコンデンサ133と並列で且つソースと第1のダイオード131の陰極側に接続されている。

【0063】このような電圧変換回路13Aの構成を採ることにより、主入力端子11の極性を変えることなく、主出力端子14Aの極性を負極性とすることができるため、負極性の制御電圧源を必要とするシステムにおいても、スイッチング素子12及び制御回路18を有する基板上形成領域19上の各回路の構成を変えることなく、負極性電圧源を実現できる。

【0064】なお、第2変形例においても、第1変形例に係る軽負荷検出電圧調整用抵抗器51を設けてもよい。

【0065】また、本発明の実施形態及び各変形例において、入力電圧Vinは直流電圧を想定している。従って、例えば、交流電圧を入力する場合には、入力される交流電圧を直流電圧に整流してから入力すればよい。

【0066】

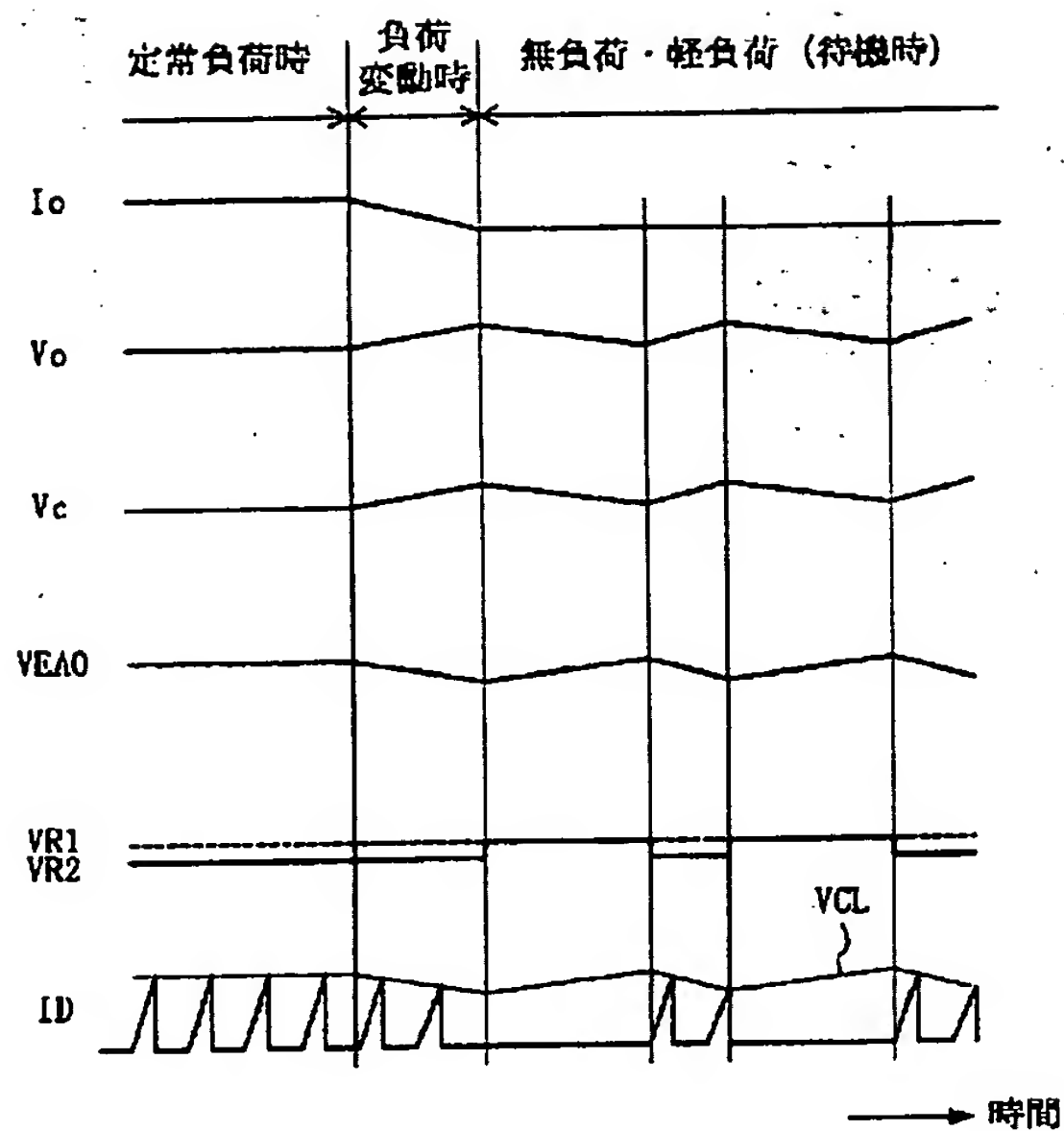
【発明の効果】本発明に係るスイッチング電源装置によると、制御手段の電源電圧の値が上限値よりも大きい場合には発振部に対してスイッチング信号の出力を停止し、制御手段の電源電圧の値が下限値よりも小さい場合には発信部に対してスイッチング信号の出力を開始する軽負荷検出部とを有しているため、軽負荷時にはスイッチング素子のスイッチング動作を停止して、スイッチング手段における損失が減り、軽負荷時の消費電力を削減できるので、電力効率を向上することができる。

【図面の簡単な説明】

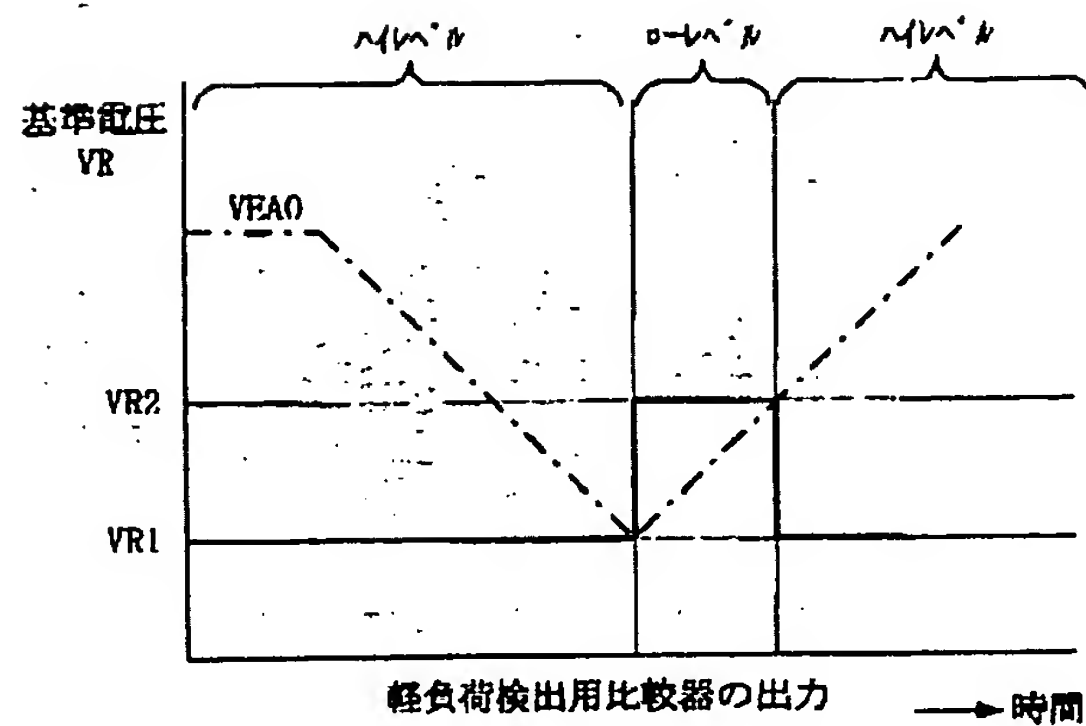
【図1】本発明の一実施形態に係るスイッチング電源装

(9)

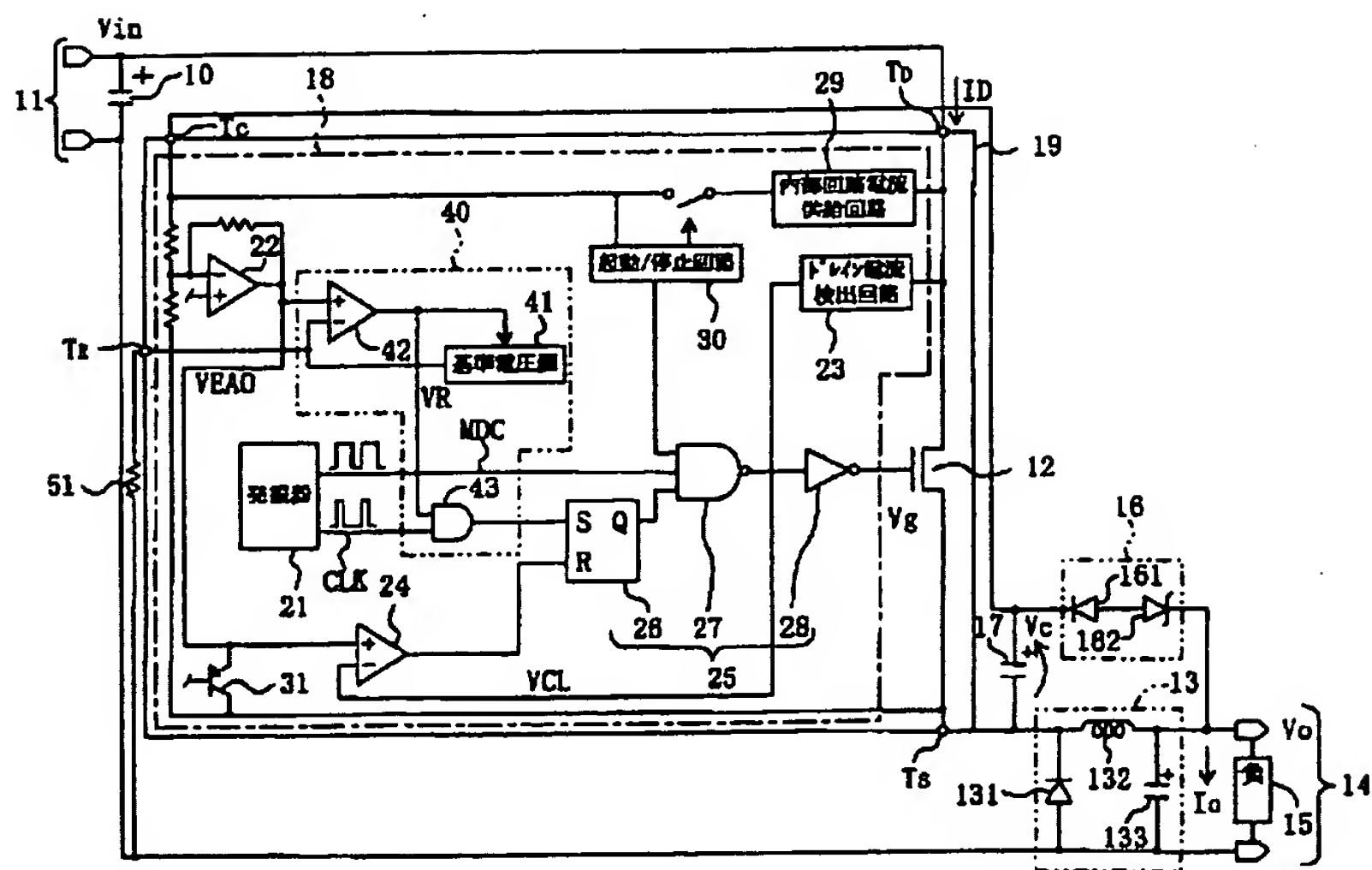
【図2】



【図 3】

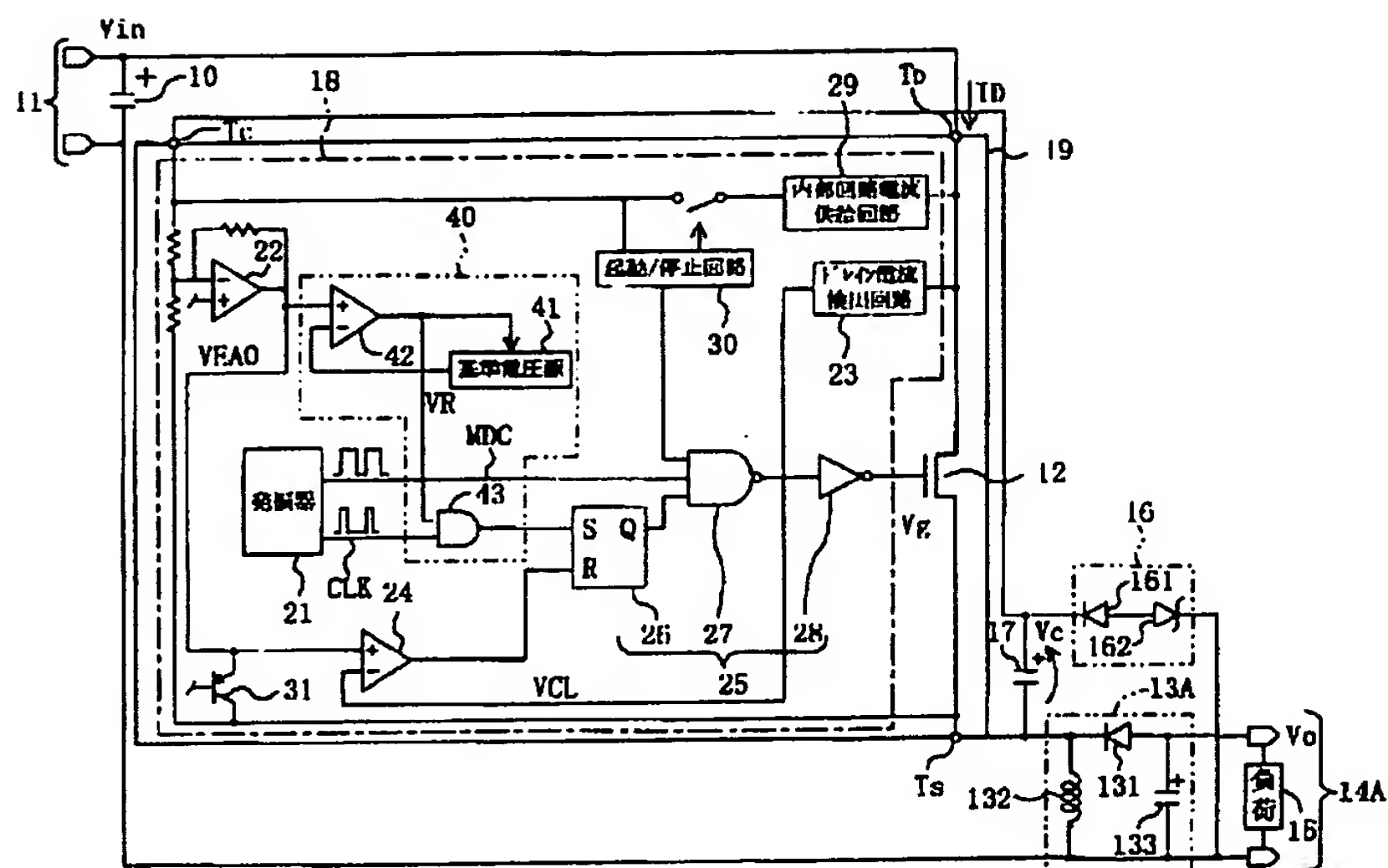


【図 4】

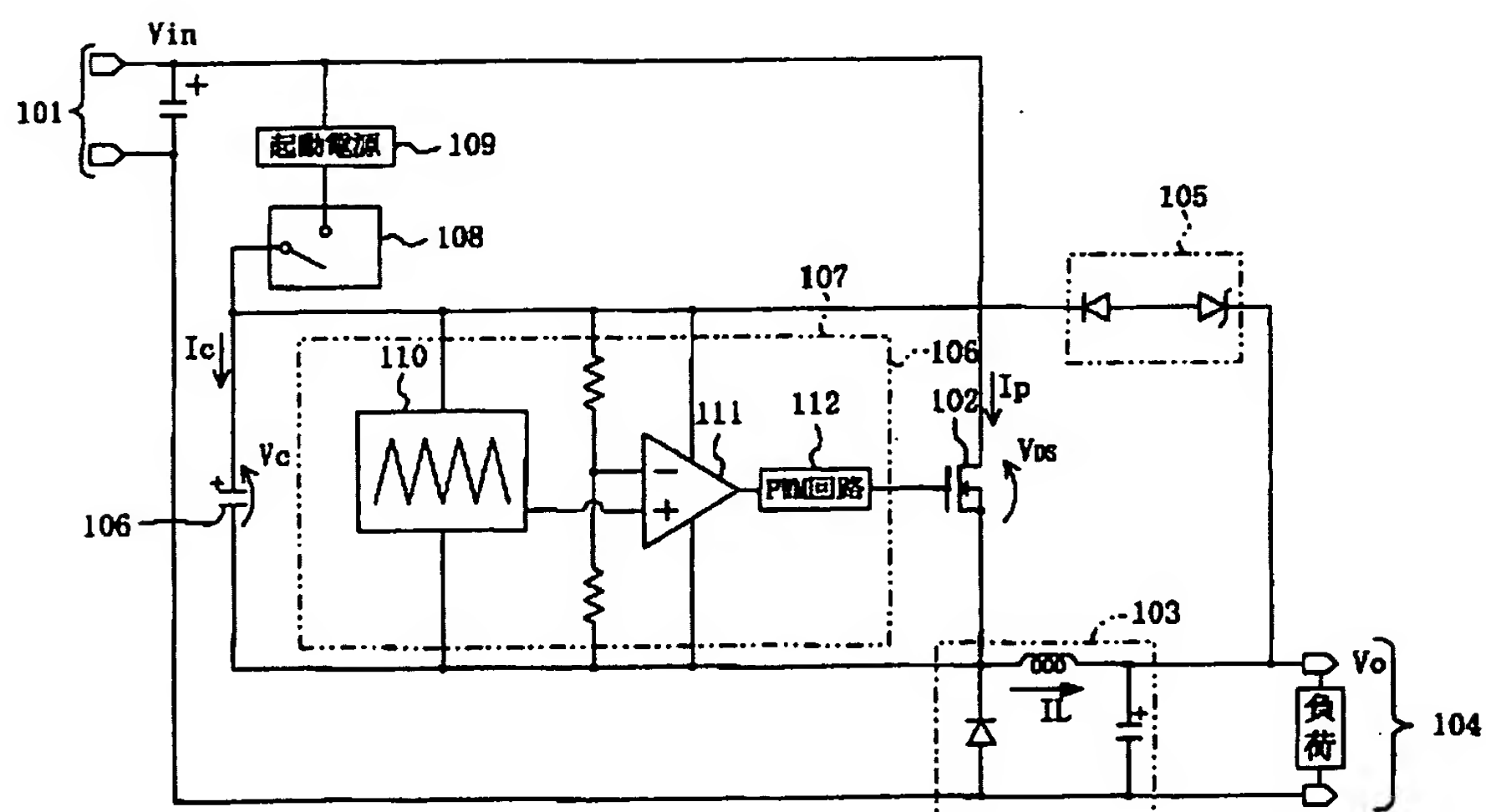


(10)

【図5】

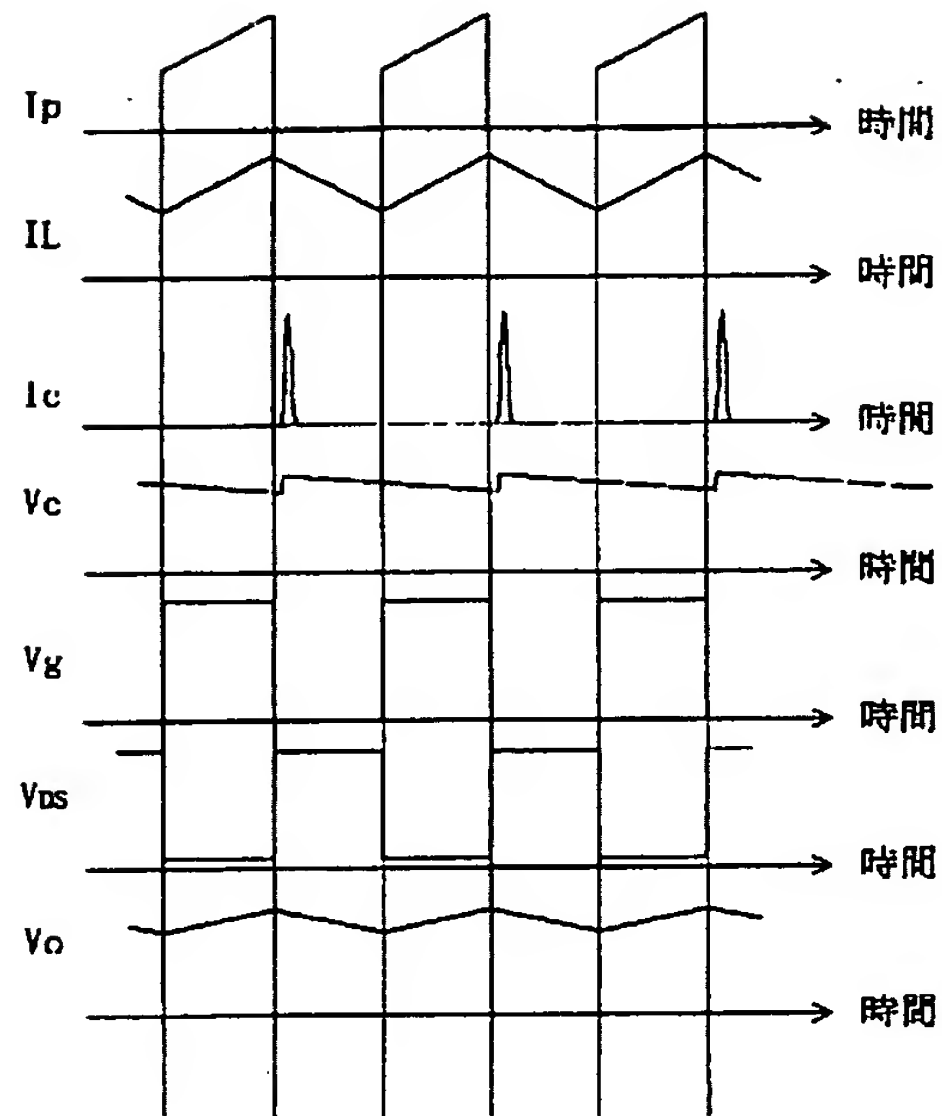


【図6】



(11)

【図7】



フロントページの続き

(72) 発明者 山下 哲司
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 林 和治
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 山西 雄司
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

Fターム(参考) 5H730 AA14 AS01 AS05 BB13 BB15
BB57 DD04 FD01 FD41 FG05
FG25 VV01 VV06